



19 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

12 Offenlegungsschrift
10 DE 100 16 444 A 1

51 Int. Cl.⁷:
H 01 L 27/11
G 11 C 11/41

21 Aktenzeichen: 100 16 444.7
22 Anmeldetag: 29. 3. 2000
43 Offenlegungstag: 11. 10. 2001

DE 100 16 444 A 1

71 Anmelder:
Infineon Technologies AG, 81669 München, DE
74 Vertreter:
PAe Reinhard, Skuhra, Weise & Partner, 80801
München

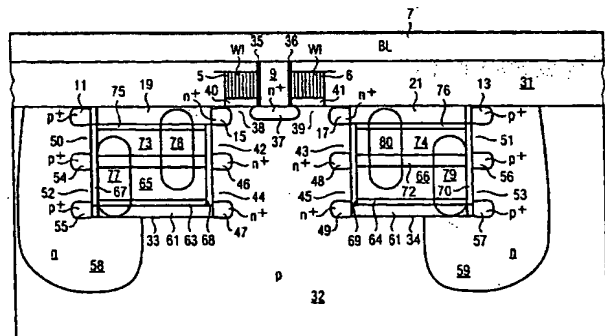
72 Erfinder:
Beer, Peter, 80539 München, DE
56 Entgegenhaltungen:
DE 198 41 753 A1
DE 198 21 901 A1
US 56 70 803
US 53 98 200
IBM Technical Disclosure Bulletin, Vol. 34,
No. 6, Nov. 1991, S. 95-97;

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

54 Integrierte dreidimensionale Graben-SRAM-Speicherzelle

- 57 SRAM-Speicherzelle mit
- (a) einem Auswahl-MOSFET (38; 39) zur Auswahl der SRAM-Speicherzelle, der auf einer Oberfläche eines Halbleitersubstrats (32) planar integriert ist;
 - (b) einem ersten (42; 43) und einem zweiten in Reihe geschalteten N-Kanal-MOSFET, die entlang einer senkrecht zu der Halbleiteroberfläche verlaufenden Seitenwand eines in das Halbleitersubstrat (32) geätzten Grabens (33; 34) angeordnet sind;
 - (c) einem ersten (50; 51) und einem zweiten (52; 53) geschalteten P-Kanal-MOSFET, die entlang einer der ersten Seitenwand gegenüberliegenden zweiten Seitenwand des geätzten Grabens (33; 34) angeordnet sind;
 - (d) eine am Boden des geätzten Grabens (33; 34) vorgesehenen ersten leitfähigen Schicht (61; 62) zur elektrischen Verbindung der Source-Anschlussbereiche (47, 55; 49, 57) des zweiten N-Kanal-MOSFETs (44; 45) und des gegenüberliegenden zweiten P-Kanal-MOSFETs (52; 53);
 - (e) eine von der ersten leitfähigen Schicht (61) isolierte und über der ersten leitfähigen Schicht liegende zweite leitfähige Schicht (65), die die Gateanschlüsse des zweiten N-Kanal-MOSFETs (44; 45) und des gegenüberliegenden zweiten P-Kanal-MOSFETs (52; 53) bildet;
 - (f) eine von der zweiten leitfähigen Schicht (65; 66) isolierte und über der zweiten leitfähigen Schicht liegende dritte leitfähige Schicht (73; 74), die die Gateanschlüsse des ersten N-Kanal-MOSFETs (42; 43) und des gegenüberliegenden ersten P-Kanal-MOSFETs (50; 51) bildet;
 - (g) eine von der dritten leitfähigen Schicht ...



DE 100 16 444 A 1

[0001] Die Erfindung betrifft eine integrierte statische RAM-Speicherzelle, die in einem Ätzgraben eines Halbleitersubstrats integriert ist.

[0002] Schreib-/Lesespeicher mit wahlfreiem Zugriff bzw. RAM-Speicher sind entweder aus statischen Speicherzellen SRAM oder dynamischen Speicherzellen DRAM aufgebaut. SRAM-Speicher, die aus SRAM-Speicherzellen aufgebaut sind, weisen gegenüber DRAM-Speichern den Vorteil auf, dass die abgespeicherte Information nicht flüchtig ist, d. h. die Speicherzellen nicht in bestimmten Zeitabständen aufgefrischt werden müssen.

[0003] Fig. 1 zeigt eine SRAM-Speicherzelle nach dem Stand der Technik. Die SRAM-Speicherzelle ist an eine Wortleitung WL und Bitleitung BL sowie an zwei Spannungsversorgungsanschlüsse V_{DD} (hohes Versorgungsspannungspotential) und V_{SS} (niedriges Versorgungsspannungspotential bzw. Masse) angeschlossen. Die SRAM-Speicherzelle besteht aus insgesamt fünf MOSFET-Transistoren. Dabei weist die SRAM-Speicherzelle einen Auswahltransistor T1 auf, dessen Gate mit der Wortleitung verbunden ist, dessen Sourceanschluss an der Bitleitung BL anliegt und dessen Drainanschluss mit dem Drainanschluss eines N-Kanal-MOSFETs T2 und dem Drainanschluss eines P-Kanal-MOSFETs T3 verbunden ist. Der Sourceanschluss des N-Kanal-MOSFETs T2 ist mit dem Drainanschluss eines weiteren N-Kanal-MOSFETs T4 verbunden. Die beiden N-Kanal-MOSFETs T2, T4 sind in Reihe geschaltet, wobei die Verbindungsleitung zwischen den beiden N-Kanal-MOSFETs T2, T4 an dem niedrigen Referenzspannungspotential V_{SS} anliegt. Der Sourceanschluss des P-Kanal-MOSFETs T3 ist mit dem Drainanschluss eines weiteren P-Kanal-MOSFETs T5 verbunden. Die beiden in Reihe geschalteten P-Kanal-MOSFETs T3, T5 liegen an ihrer Verbindungsleitung an dem hohen Spannungspotential V_{DD} an. Die Sourceanschlüsse des N-Kanal-MOSFETs T4 sowie des P-Kanal-MOSFETs T5 sind kurzgeschlossen und sind direkt mit den Gateanschlüssen des N-Kanal-MOSFETs T2 sowie des P-Kanal-MOSFETs T3 verbunden. Die Drainanschlüsse des N-Kanal-MOSFETs T2 sowie des P-Kanal-MOSFETs T3 sind ebenfalls kurzgeschlossen und direkt mit den Gateanschlüssen des N-Kanal-MOSFETs T4 sowie des P-Kanal-MOSFETs T5 verbunden.

[0004] Zum Einschreiben eines logisch hohen Datums L, das an der Bitleitung BL anliegt, in die SRAM-Speicherzelle wird an der Wortleitung WL ein hohes Potential angelegt, so dass der N-Kanal-Auswahl-MOSFET T1 durchschaltet. Das durchgeschaltete hohe Potential führt dazu, dass der N-Kanal-MOSFET T4 durchschaltet und der P-Kanal-MOSFET T5 sperrt. Aufgrund des durchgeschalteten N-Kanal-MOSFETs T4 wird das niedrige Spannungspotential bzw. Massepotential V_{SS} an die beiden Gateanschlüsse des N-Kanal-MOSFETs T2 sowie des P-Kanal-MOSFETs T3 angelegt. Der N-Kanal-MOSFET T2 wird hierdurch gesperrt, und der P-Kanal-MOSFET T3 schaltet durch. Der Potentialknoten K1 wird hierdurch auf das hohe Spannungspotential V_{DD} gezogen, so dass an dem Potentialknoten K1 dauerhaft das an der Bitleitung BL angelegte hohe logische Datum L abgespeichert bleibt. Das am Potentialknoten K1 anliegende hohe Potential sorgt dafür, dass der N-Kanal-MOSFET T4 durchgeschaltet bleibt, so dass am Potentialknoten K2 dauerhaft das Massepotential V_{SS} anliegt.

[0005] Zum Auslesen des am Potentialknoten K1 anliegenden abgespeicherten Datums wird durch Anlegen eines hohen Spannungspotentials am Gate-Anschluss des Auswahltransistors T1 das abgespeicherte Datum auf die Bitleitung BL durchgeschaltet.

[0006] Die in Fig. 1 dargestellte herkömmliche SRAM-Speicherzelle besteht aus fünf MOSFET-Transistoren und benötigt daher bei der planaren Integration auf einem Halbleiterchip relativ viel Fläche. Bei Planarintegration der in Fig. 1 dargestellten herkömmlichen SRAM-Speicherzelle wird gewöhnlicherweise eine Fläche in der Größenordnung von $30 F^2$ pro Speicherzelle benötigt, wobei F die minimale Strukturgröße des Herstellungsprozesses ist. Der hohe Flächenbedarf herkömmlich planar integrierter SRAM-Speicherzellen führt zu hohen Herstellungskosten von SRAM-Speichern, die aus derartigen SRAM-Speicherzellen aufgebaut sind.

[0007] Es ist daher die Aufgabe der vorliegenden Erfindung, eine integrierte SRAM-Speicherzelle zu schaffen, die einen minimalen Flächenbedarf aufweist.

[0008] Diese Aufgabe wird erfindungsgemäß durch eine SRAM-Speicherzelle mit den in Patentanspruch 1 angegebenen Merkmalen gelöst.

[0009] Die Erfindung schafft eine integrierte SRAM-Speicherzelle mit einem Auswahl-MOSFET zur Auswahl der SRAM-Speicherzelle, der auf einer Oberfläche eines Halbleitersubstrats planar integriert ist, einem ersten und zweiten in Reihe geschalteten N-Kanal-MOSFET, die entlang einer senkrecht zu der Halbleitersubstratoberfläche verlaufenden Seitenwand eines in das Halbleitersubstrat geätzten Grabens angeordnet sind, einem ersten und zweiten in Reihe geschalteten P-Kanal-MOSFET, die entlang einer der ersten Seitenwand gegenüberliegenden zweiten Seitenwand des geätzten Grabens angeordnet sind, einer am Boden des geätzten Grabens vorgesehenen ersten leitfähigen Schicht zur elektrischen Verbindung der Source-Anschlussbereiche des zweiten N-Kanal-MOSFETs und des gegenüberliegenden zweiten P-Kanal-MOSFETs, einer von der ersten leitfähigen Schicht isolierten und über der ersten leitfähigen Schicht liegende zweite leitfähige Schicht, die die Gateanschlüsse des zweiten N-Kanal-MOSFETs und des gegenüberliegenden zweiten P-Kanal-MOSFETs bildet, einer von der zweiten leitfähigen Schicht isolierten und über der zweiten leitfähigen Schicht liegenden dritten leitfähigen Schicht, die die Gateanschlüsse des ersten N-Kanal-MOSFETs und des gegenüberliegenden ersten P-Kanal-MOSFETs bildet,

einer von der dritten leitfähigen Schicht isolierten und über der dritten leitfähigen Schicht liegenden vierten elektrischen Schicht zur elektrischen Verbindung der Drain-Anschlussbereiche des ersten N-Kanal-MOSFETs und des gegenüberliegenden zweiten P-Kanal-MOSFETs, und mit zwei senkrecht zu der Halbleiteroberfläche verlaufenden Kontaktierungen, wobei die erste Kontaktierung die erste und dritte leitfähige Schicht und die zweite Kontaktierung die zweite und vierte leitfähige Schicht elektrisch verbindet.

[0010] Bei einer besonders bevorzugten Ausführungsform der erfindungsgemäßen SRAM-Speicherzelle bildet der Drain-Anschlussbereich des ersten N-Kanal-MOSFETs gleichzeitig den Drain-Anschlussbereich des Auswahl-MOSFETs.

[0011] Vorzugsweise ist der Gate-Anschluss des Auswahl-MOSFETs an eine Wortleitung zur Adressierung der SRAM-Speicherzelle angeschlossen.

[0012] Die Wortleitung verläuft dabei vorzugsweise parallel zu dem geätzten Graben.

[0013] Bei einer weiteren bevorzugten Ausführungsform der erfindungsgemäßen SRAM-Speicherzelle ist zwischen den leitfähigen Schichten jeweils eine dünne Isolations-schicht vorgesehen.

[0014] Die erste und vierte leitfähige Schicht besteht vor-

zugsweise aus Wolfram.

[0015] Die zweite und dritte leitfähige Schicht besteht vorzugsweise aus abgeschiedenem Polysilicium.

[0016] Bei einer weiteren bevorzugten Ausführungsform ist an den beiden gegenüberliegenden Seitenwänden eine dünne Gateoxidschicht vorgesehen.

[0017] Der Source-Anschlussbereich des Auswahl-MOSFETs ist vorzugsweise an eine Bitleitung zum Einschreiben eines Datenbits in die SRAM-Speicherzelle oder zum Auslesen eines gespeicherten Datenbits aus der SRAM-Speicherzelle angeschlossen.

[0018] Bei einer weiteren bevorzugten Ausführungsform erstreckt sich die Bitleitung in einem rechten Winkel zu dem geätzten Graben.

[0019] Die Bitleitung ist vorzugsweise an den Sourceanschluss des Auswahl-MOSFETs über eine senkrecht zu der Halbleiteroberfläche verlaufende Bitleitungskontaktierung angeschlossen.

[0020] Die integrierte SRAM-Speicherzelle ist vorzugsweise von einer benachbarten SRAM-Speicherzelle innerhalb des geätzten Grabens durch einen rechtwinklig zu dem geätzten Graben verlaufenden Trennungsgraben isoliert.

[0021] Dabei besteht der Trennungsgraben aus einem isolierenden Material, in dem leitende Schichten zum Anlegen der SRAM-Speicherzellen an eine Versorgungsspannung V_{DD} und an eine Referenzspannung V_{SS} eingebettet sind.

[0022] Im weiteren wird eine bevorzugte Ausführungsform der erfindungsgemäßen integrierten SRAM-Speicherzelle unter Bezugnahme auf die beigefügten Figuren zur Erläuterung erfindungswesentlicher Merkmale beschrieben.

[0023] Es zeigen:

[0024] Fig. 1 ein Schaltungsdiagramm einer SRAM-Speicherzelle nach dem Stand der Technik;

[0025] Fig. 2 eine Draufsicht auf eine Speicherzellenanordnung, die aus erfindungsgemäßen SRAM-Speicherzellen besteht;

[0026] Fig. 3 eine Schnittansicht entlang der Linie A-A in Fig. 2 zur Darstellung zweier benachbarter erfindungsgemäßer SRAM-Speicherzellen;

[0027] Fig. 4 eine Schnittansicht entlang der Linie B-B in Fig. 2;

[0028] Fig. 5 eine Schnittansicht entlang der Linie C-C in Fig. 2.

[0029] Fig. 2 zeigt eine Draufsicht auf eine Speicheranordnung mit erfindungsgemäßen SRAM-Speicherzellen. Auf dem Halbleitersubstrat befinden sich Spannungsversorgungsleitungen 1, 2, 3 zur Versorgung der SRAM-Speicherzellen mit einer Versorgungsspannung. Dabei liegen die Versorgungsleitungen 1, 3 auf einem Referenzspannungspotential V_{SS} , beispielsweise auf Masse. An der Versorgungsleitung 2 liegt die Versorgungsspannung V_{DD} an. Die Versorgungsleitungen 1, 2, 3 bestehen aus einem leitfähigen Material, beispielsweise Metall.

[0030] Bei der in Fig. 2 dargestellten Draufsicht verlaufen die Ätzgräben, in welche die SRAM-Speicherzellen integriert sind, in horizontaler Richtung, d. h. parallel zu Wortleitungen 5, 6, während die Trenngräben zur Isolierung benachbarter SRAM-Speicherzellen in vertikaler Richtung, d. h. parallel zu den angedeuteten Bitleitungen 7, 8 verlaufen. Die Bitleitungen 7, 8 weisen Bitleitungskontaktierungen 9, 10 zur Kontaktierung eines darunterliegenden Auswahl-MOSFETs einer erfindungsgemäßen SRAM-Speicherzelle auf. In Fig. 2 sind p^+ -Dotierungsbereich 11, 12, 13, 14 dargestellt, die die Drainanschlüsse des in Fig. 1 dargestellten P-Kanal-MOSFETs T3 bilden. Darüber hinaus zeigt Fig. 2 n^+ -dotierte Bereiche 15, 16, 17, 18, die jeweils den Drainanschluss eines N-Kanal-MOSFETs T2 einer SRAM-Speicherzelle bilden. Zwischen den p^+ -dotierten Bereichen

11, 12, 13, 14 und den n -dotierten Bereichen 15, 16, 17, 18, welche die Drainanschlüsse des P-Kanal-MOSFETs T3 bzw. des N-Kanal-MOSFETs T2 bilden, liegen jeweils leitfähigen Schichten 19, 20, 21, 22 zur leitfähigen Verbindung der Drain-Anschlussbereiche, die vorzugsweise aus Wolfram bestehen. Die leitfähigen Bereiche 19, 20, 21, 22 entsprechen dem Potentialknoten K1 in Fig. 1. Die vier in Fig. 2 dargestellten SRAM-Speicherzellen weisen jeweils zwei Kontaktierungen 23, 24, 25, 26, 27, 28, 29, 30 auf, die senkrecht zur Halbleiteroberfläche verlaufen und elektrisch leitfähige Schichten innerhalb der SRAM-Speicherzellen verbinden.

[0031] In Fig. 2 sind ferner isolierende Oxidschichten 31, 32, 33, 34, 35, 36 zu erkennen, die in den parallel zu den Bitleitungen 9, 10 verlaufenden Trennungsgräben vorgesehen sind und zur Isolation ineinanderliegender SRAM-Speicherzellen innerhalb eines geätzten Grabens dienen. In den Trennungsgräben, die aus einem isolierenden Material bestehen, sind die leitfähigen Spannungsversorgungsleitungen 1, 2, 3 eingebettet zur Versorgung der SRAM-Speicherzellen mit der Versorgungsspannung V_{DD} und der Referenzspannung V_{SS} .

[0032] Fig. 3 zeigt eine Schnittansicht entlang der Linie A-A in Fig. 2. Die Bitleitung 7 liegt auf einer isolierenden Schicht 31 auf, die vorzugsweise aus einem Oxid besteht. Die Bitleitung 7 verläuft über zwei in das p -dotierte Halbleitersubstrat 32 hineingeätzte Gräben 33, 34, die einen im wesentlichen quadratischen Querschnitt aufweisen. Die Wortleitungen 5, 6 verlaufen parallel zu den in das Halbleitersubstrat 32 hineingeätzten Gräben 33, 34. Die Wortleitungen 5, 6 sind von der vertikal verlaufenden Bitleitungskontaktierung 9 durch isolierende Schichten 35, 36 getrennt. Die vertikal verlaufende Bitleitungskontaktierung 9 ist elektrisch mit einem n^+ -dotierten Source-Anschlussbereich 37 verbunden. Der n^+ -dotierte Source-Anschlussbereich 37 ist für die beiden Auswahltransistoren 38, 39 der beiden in Schnittdarstellung gezeigten SRAM-Speicherzellen vorgesehen. Der Gate-Anschluss des Auswahl-MOSFETs 38 wird durch die Wortleitung 5, und der Gate-Anschluss des Auswahl-MOSFETs 39 wird durch die Wortleitung 6 gebildet. Der Gate-Anschluss 5 des Auswahl-MOSFETs 38 ist durch eine Gateoxidschicht 40 von dem im p -dotierten Substrat 32 befindlichen Stromkanal getrennt. Der Gate-Anschluss 6 des Auswahl-MOSFETs 39 liegt durch eine Gateoxidschicht 41 von dem im p -dotierten Substrat 32 befindlichen Stromkanal getrennt. Der n^+ -dotierte Bereich 15 bildet den Drainanschluss des Auswahl-MOSFETs 38, und der n^+ -dotierte Bereich 17 bildet den Drainanschluss des Auswahl-MOSFETs 39. Die Auswahl-MOSFETs 38, 39 entsprechen dem Auswahl-MOSFET T1 in Fig. 1. Die beiden Auswahl-MOSFETs 38, 39 sind planar auf der Halbleitersubstratoberfläche des Halbleitersubstrats 32 integriert. Wie man in Fig. 3 erkennen kann, sind jeweils Speicherzellen symmetrisch zu einer Bitleitungskontaktierung 9 angeordnet.

[0033] Beide in Fig. 3 in Schnittansicht dargestellten SRAM-Speicherzellen weisen jeweils einen ersten N-Kanal-MOSFET 42, 43 sowie einen zweiten N-Kanal-MOSFET 44, 45 auf. Die beiden N-Kanal-MOSFETs 42, 44 sowie die beiden N-Kanal-MOSFETs 43, 45 sind in Reihe geschaltet und sind entlang einer Seitenwand der in das Halbleitersubstrat geätzten Ätzgräben 33, 34 angeordnet. Die Seitenwände verlaufen dabei senkrecht zur Halbleitersubstratoberfläche. Der n^+ -dotierte Bereich 15 bildet den Drainanschluss des N-Kanal-MOSFETs 42, und der n^+ -dotierte Bereich 17 bildet den Drainanschluss des N-Kanal-MOSFETs 43 der anderen SRAM-Speicherzelle. Der n^+ -dotierte Bereich 46 bildet den Sourceanschluss des N-Kanal-MOSFETs 42 und den Drainanschluss des N-Kanal-MOSFETs

44. Der Sourceanschluss des N-Kanal-MOSFETs 44 wird durch den n⁺-dotierten Bereich 47 gebildet. In gleicher Weise bildet der n⁺-dotierte Bereich 17 den Drainanschluss des N-Kanal-MOSFETs 43, und der n⁺-dotierte Bereich 48 stellt den Sourceanschluss des N-Kanal-MOSFETs 42 dar. Der Drainanschluss des N-Kanal-MOSFETs 45 wird durch den n⁺-dotierten Bereich 48 gebildet, und der Sourceanschluss des N-Kanal-MOSFETs 45 durch den n⁺-dotierten Bereich 49.

[0034] Die beiden SRAM-Speicherezellen weisen jeweils einen ersten P-Kanal-MOSFET 50, 51 und einen zweiten P-Kanal-MOSFET 52, 53 auf. Der Drainanschluss des P-Kanal-MOSFETs 50 wird durch den p⁺-dotierten Bereich 11 gebildet, und der Drainanschluss des P-Kanal-MOSFETs 51 wird durch den p⁺-dotierten Bereich 13 gebildet. Der p⁺-dotierte Bereich 54 stellt den Sourceanschluss des P-Kanal-MOSFETs 50 und den Drainanschluss des P-Kanal-MOSFETs 52 dar. Der P-Kanal-MOSFET 52 weist ferner einen Sourceanschluss in Form des p⁺-dotierten Bereichs 55 auf. Der p⁺-dotierte Bereich 13 bildet den Drainanschluss des P-Kanal-MOSFETs 51. Der p⁺-dotierte Bereich 56 bildet gleichzeitig den Sourceanschluss des P-Kanal-MOSFETs 51 und den Drainanschluss des P-Kanal-MOSFETs 53. Der P-Kanal-MOSFET 53 enthält ferner den p⁺-dotierten Bereich 57 als Sourceanschluss. Die p⁺-dotierten Bereiche 11, 54, 55 sowie 13, 56, 57 sind jeweils in n-dotierte Wannen 58, 59 eingelassen. Jede SRAM-Speicherezelle weist jeweils zwei P-Kanal-MOSFETs 50, 52 bzw. 51, 53 auf, die entlang einer der ersten Seitenwände gegenüberliegenden zweiten Seitenwand der Ätzgräben 33, 34 angeordnet sind. Die zweite Seitenwand verläuft ebenfalls senkrecht zu der Halbleiteroberfläche.

[0035] Am Boden der beiden Ätzgräben 33, 34 ist eine erste leitfähige Schicht 60 bzw. 61 vorgesehen. Die leitfähige Schicht 61 verbindet den Source-Anschlussbereich 47 des N-Kanal-MOSFETs 44 mit dem Source-Anschlussbereich 55 des gegenüberliegenden zweiten P-Kanal-MOSFETs 52. In entsprechender Weise verbindet die leitfähige Schicht 62 den Source-Anschlussbereich des N-Kanal-MOSFETs 45 mit dem Source-Anschlussbereich 57 des gegenüberliegenden P-Kanal-MOSFETs 53. Die beiden leitfähigen Schichten 61, 62 bestehen entweder aus Metall oder aus abgeschiedenem Polysilicium.

[0036] Über den beiden leitfähigen Schichten 61, 62 ist eine isolierende Schicht 63, 64 vorgesehen, die die leitfähigen Schichten 61, 62 von einer weiteren leitfähigen Schicht 65, 66 trennt. Die leitfähige Schicht 65 bildet die beiden Gateanschlüsse für den N-Kanal-MOSFET 44 sowie den P-Kanal-MOSFET 52. Entsprechend bildet die leitfähige Schicht 66 die beiden Gateanschlüsse über den N-Kanal-MOSFET 45 und den P-Kanal-MOSFET 53 der zweiten SRAM-Speicherezelle.

[0037] Die leitfähigen Schichten 65, 66 sind von dem Halbleitersubstrat 32 durch dünne Gateoxidschichten 67, 68, 69, 70 getrennt, die entlang den Seitenwänden der geätzten Gräben 33, 34 verlaufen. Über den leitfähigen Schichten 65, 66 liegt wiederum jeweils eine isolierende Schicht 71, 72. Die isolierenden Schichten 71, 72 der beiden in Schnittansicht dargestellten SRAM-Speicherezellen trennen die leitfähigen Schichten 65, 66 von einer weiteren leitfähigen Schicht 73, 74. Die leitfähige Schicht 73 bildet den Gate-Anschluss des ersten N-Kanal-MOSFETs 42 und den Gate-Anschluss des gegenüberliegenden P-Kanal-MOSFETs 50. Die leitfähige Schicht 74 bildet den Gate-Anschluss des N-Kanal-MOSFETs 43 und des P-Kanal-MOSFETs 51. Zwischen der leitfähigen Schicht 73 und der leitfähigen Schicht 19 befindet sich eine isolierende Schicht 75. Zwischen der leitfähigen Schicht 74 und der leitfähigen Schicht 21 befindet

det sich eine isolierende Schicht 76.

[0038] Die isolierenden Schichten 63, 71, 75 sowie 64, 72, 76 bestehend vorzugsweise aus einem Oxid, insbesondere Siliciumdioxid. Die leitfähigen Schichten 61, 65, 73, 19 sowie 62, 66, 74, 21 bestehen entweder aus einem Metall oder aus abgeschiedenem Polysilicium. Als Metall kann beispielsweise Wolfram verwendet werden.

[0039] Die in Fig. 3 dargestellte linke SRAM-Speicherezelle weist vier leitfähige Schichten 61, 65, 73, 19 auf, die jeweils durch isolierende Schichten 62, 71, 75 voneinander elektrisch getrennt sind. Diese Schichten sind übereinander in dem ersten Ätzgraben 33 geschichtet. Durch eine in dem Ätzgraben 33 eingebrachte Kontaktierung 77 wird die am Boden befindliche erste leitfähige Schicht 61 mit der dritten leitfähigen Schicht 73 elektrisch verbunden. Durch eine weitere Kontaktierung 78 wird ferner die zweite leitfähige Schicht 65 mit der vierten leitfähigen Schicht 19 elektrisch verbunden.

[0040] In gleicher Weise ist die erste leitfähige Schicht 62 der anderen SRAM-Speicherezelle mit der dritten leitfähigen Schicht 74 über eine Kontaktierung 79 und die zweite leitfähige Schicht 66 mit der vierten leitfähigen Schicht 21 über eine Kontaktierung 80 verbunden.

[0041] Bei der in Fig. 3 dargestellten bevorzugten Ausführungsform werden zwei zueinander symmetrisch aufgebaute SRAM-Speicherezellen über nur eine Bitleitungskontaktierung 9 elektrisch an die Bitleitung 7 angeschlossen. Hierdurch ist es möglich, die Anzahl der Bitleitungskontaktierungen 9 auf dem Halbleiterchip 32 gegenüber herkömmlichen Anordnungen zu halbieren.

[0042] Die in Fig. 3 dargestellten N-Kanal-MOSFETs 42, 44 bzw. 43, 45 entsprechen den beiden in Reihe geschalteten N-Kanal-MOSFETs T2, T4 in Fig. 1. Ferner entsprechen die P-Kanal-MOSFETs 50, 52 bzw. 51, 53 den beiden in Reihe geschalteten P-Kanal-MOSFETs T3, T5 in Fig. 1.

[0043] Die Spannungsversorgung der beiden in Fig. 3 dargestellten SRAM-Speicherezellen erfolgt durch Anschluss der p⁺-dotierten Bereiche 54, 56 an die Versorgungsspannung V_{DD} und durch Anschluss der n⁺-dotierten Bereiche 46, 48 an das Referenzspannungspotential V_{SS}.

[0044] Die Breite der beiden Ätzgräben 33, 34 beträgt bei einer bevorzugten Ausführungsform etwa 500 nm. Die Kanallänge der MOSFETs liegt in einer Größenordnung von 200–300 nm.

[0045] Fig. 4 zeigt eine Schnittansicht entlang der Schnittlinie B-B in Fig. 2. Die SRAM-Speicherezellen werden durch isolierende Oxidschichten 31, 33, 34, 35 voneinander isoliert, die in eingetätzte Trennungsgräben abgelagert werden. Die Versorgungsspannungsleitungen 1, 2 sind in das Isolationsoxid eingebettet. Dabei sind die Versorgungsleitungen 1, 2, 3 abschnittsweise verjüngt, wie man aus Fig. 2 erkennen kann. Die Versorgungsspannungsleitung 2 kontaktiert die SRAM-Speicherezellen an den p⁺-dotierten Bereichen 54, 54'.

[0046] Fig. 5 zeigt eine Schnittansicht entlang der Schnittlinie C-C in Fig. 2. Die Spannungsversorgungsleitung 2 kontaktiert in diesem Bereich nicht die n⁺-dotierten Bereiche 48, 48' sondern liegt von diesen durch das Isolationsoxid 33, 34 getrennt. Die n⁺-dotierten Bereiche 48, 48' sind an den in diesem Bereich verbreiterten Referenzspannungsleitungen 1, 3 elektrisch an diese angeschlossen.

[0047] Wie man aus Fig. 2 entnehmen kann, beträgt der Flächenbedarf einer erfindungsgemäßen SRAM-Speicherezelle etwa 10 F², wobei F die minimale Strukturgröße des Herstellungsprozesses darstellt. Die erfindungsgemäße SRAM-Speicherezelle ermöglicht somit gegenüber dem Stand der Technik in etwa eine Verdreifachung der Pakungsdichte.

[0048] Die erfindungsgemäße SRAM-Speicherzelle läßt sich in einfacher Weise durch Standardherstellungsschritte herstellen. Ein möglicher Prozeßablauf zur Herstellung einer erfindungsgemäßen SRAM-Speicherzelle, wie sie in Fig. 3 dargestellt ist, wird im weiteren beschrieben.

[0049] Zunächst werden in das Halbleitersubstrat 32 Ätzgraben 33, 34 geätzt, deren Grabenbreite in etwa der minimalen Strukturgröße F entspricht. Die Ätzgraben werden mit einem Oxid aufgefüllt und anschließend maskiert. Die mit Oxid gefüllten Ätzgraben werden mit Hilfe der Maskierung derart geätzt, dass das Fülloxid lediglich in einer Hälfte des Ätzgrabens verbleibt, so dass der Ätzgraben in diesem Bereich wieder freiliegt. Der freiliegende Bereich des Ätzgrabens wird mittels Implantation n-dotiert und getempert, so dass die in Fig. 3 dargestellten N-Wannen 58, 59 entstehen. Anschließend werden die Kontaktierungsbereiche 13, 56, 57 bzw. 11, 54, 55 durch P-Implantation hergestellt. Bei einem weiteren Prozessschritt wird das restliche in dem Ätzgraben befindliche Oxid mittels Maskierungs- und Ätzschritten entfernt und anschließend die n⁺-dotierten Anschlussbereiche 15, 46, 47 bzw. 17, 48, 49 durch n⁺-Implantation gebildet. Die Ätzgraben 33, 34 werden dann wieder freigelegt und schichtweise aufgefüllt, bis die in Fig. 3 dargestellte Schichtstruktur mit vier leitfähigen Schichten und drei Isolationsschichten innerhalb des beiden Ätzgrabens entsteht. Dabei wird in zusätzlichen Prozessschritten die Gateoxidschichten 67, 68 bzw. 69, 70 an den Wänden der Ätzgraben 33, 34 gebildet. Nach Auffüllen der Ätzgraben 33, 34 werden Kontaktlöcher für die Kontaktierungen 77, 78 bzw. 79, 80 gebohrt und diese Kontaktierungen angeschlossen. In einem weiteren Herstellungsschritt werden nun Trenngraben zur elektrischen Isolierung der SRAM-Zellen geätzt, die rechtwinklig zu den Ätzgraben 33, 34 verlaufen. Diese Trenngraben werden bis zu dem V_{DD}/V_{SS}-Kontakt zurückgeätzt, die anschließend angeschlossen werden. Daraufhin werden die Trenngraben mit Oxid wieder ganz aufgefüllt. In weiteren Prozessschritten werden die Auswahltransistoren sowie die Wortleitungen durch Standardprozesse gebildet. Schließlich werden die N-Wannen 58, 59 der P-Kanal-MOSFETs angeschlossen.

Patentansprüche

1. SRAM-Speicherzelle mit

- (a) einem Auswahl-MOSFET (38; 39) zur Auswahl der SRAM-Speicherzelle, der auf einer Oberfläche eines Halbleitersubstrats (32) planar integriert ist;
- (b) einem ersten (42; 43) und einem zweiten (44; 45) in Reihe geschalteten N-Kanal-MOSFET, die entlang einer senkrecht zu der Halbleiteroberfläche verlaufenden Seitenwand eines in das Halbleitersubstrat (32) geätzten Grabens (33; 34) angeordnet sind;
- (c) einem ersten (50; 51) und einem zweiten (52; 53) in Reihe geschalteten P-Kanal-MOSFET, die entlang einer der ersten Seitenwand gegenüberliegenden zweiten Seitenwand des geätzten Grabens (33; 34) angeordnet sind;
- (d) eine am Boden des geätzten Grabens (33; 34) vorgesehenen ersten leitfähigen Schicht (61; 62) zur elektrischen Verbindung der Source-Anschlussbereiche (47, 55; 49, 57) des zweiten N-Kanal-MOSFETs (44; 45) und des gegenüberliegenden zweiten P-Kanal-MOSFETs (52; 53);
- (e) eine von der ersten leitfähigen Schicht (61) isolierte und über der ersten leitfähigen Schicht liegende zweite leitfähige Schicht (65), die die

Gateanschlüsse des zweiten N-Kanal-MOSFETs (44; 45) und des gegenüberliegenden zweiten P-Kanal-MOSFETs (52; 53) bildet;

(f) eine von der zweiten leitfähigen Schicht (65; 66) isolierte und über der zweiten leitfähigen Schicht liegende dritte leitfähige Schicht (73; 74), die die Gateanschlüsse des ersten N-Kanal-MOSFETs (42; 43) und des gegenüberliegenden ersten P-Kanal-MOSFETs (50; 51) bildet;

(g) eine von der dritten leitfähigen Schicht (73; 74) isolierte und über der dritten leitfähigen Schicht liegende vierte leitfähige Schicht (19; 21) zur elektrischen Verbindung der Drain-Anschlussbereiche (15; 17) des ersten N-Kanal-MOSFETs (42; 43) und des gegenüberliegenden zweiten P-Kanal-MOSFETs (50; 51);

(h) und mit zwei senkrecht zu der Halbleiteroberfläche verlaufenden Kontaktierungen, wobei die erste Kontaktierung (77; 79) die erste (61; 62) und dritte (73; 74) leitfähige Schicht und die zweite Kontaktierung (78; 79) die zweite (65; 66) und vierte (19; 21) elektrische Schicht miteinander verbindet.

2. SRAM-Speicherzelle nach Anspruch 1, dadurch gekennzeichnet, dass die Drain-Anschlussbereiche (15; 17) des ersten N-Kanal-MOSFETs (42; 43) gleichzeitig den Drainanschluss des Auswahl-MOSFETs (38; 39) bildet.

3. SRAM-Speicherzelle nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass der Gate-Anschluss (5; 6) des Auswahl-MOSFETs (38; 39) an eine Wortleitung (5; 6) zur Adressierung der SRAM-Speicherzelle angeschlossen ist.

4. SRAM-Speicherzelle nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass die Wortleitung (5; 6) parallel zu den geätzten Gräben (33; 34) verläuft.

5. SRAM-Speicherzelle nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass zwischen den leitfähigen Schichten (61, 65, 73, 19; 62, 66, 74, 21) jeweils dünne Isolierschichten (63, 71, 75; 64, 72, 76) liegen.

6. SRAM-Speicherzelle nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass die erste (61; 62) und die vierte (19; 21) leitfähige Schicht aus Wolfram besteht.

7. SRAM-Speicherzelle nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass die zweite (65; 66) und dritte leitfähige Schicht (73; 74) aus abgeschiedenem Polysilicium besteht.

8. SRAM-Speicherzelle nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass an den beiden gegenüberliegenden Seitenwänden des geätzten Grabens (33; 34) eine dünne Gateoxidschicht (67, 68; 69, 70) vorgesehen ist.

9. SRAM-Speicherzelle nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass der Source-Anschlussbereich (37) des Auswahl-MOSFETs (38; 39) an eine Bitleitung (7) zum Einschreiben eines Datenbits in die SRAM-Speicherzelle oder zum Auslesen eines gespeicherten Datenbits aus der SRAM-Speicherzelle angeschlossen ist.

10. SRAM-Speicherzelle nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass die Bitleitung (7) sich in einem rechten Winkel zu dem geätzten Graben (33; 34) erstreckt.

11. SRAM-Speicherzelle nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass die Bit-

leitung (7) an den Source-Anschlussbereich (37) · des Auswahl-MOSFETs (38; 39) über eine senkrecht zu der Halbleiteroberfläche verlaufende Bitleitungskontaktierung (9) angeschlossen ist.

12. SRAM-Speicherzelle nach einem der vorangehen- 5
den Ansprüche, dadurch gekennzeichnet, dass die integrierte SRAM-Speicherzelle von einer benachbarten SRAM-Speicherzelle innerhalb des geätzten Grabens (33; 34) durch einen rechtwinklig zu dem geätzten Graben (33; 34) verlaufenden Trennungsgraben isoliert 10
liegt.

13. SRAM-Speicherzelle nach einem der vorangehen-
den Ansprüche, dadurch gekennzeichnet, dass der Trennungsgraben aus einem isolierenden Material besteht, in dem leitende Schichten zum Anlegen einer 15
Versorgungsspannung V_{DD} und einer Referenzspannung V_{SS} an die SRAM-Speicherzelle eingebettet sind.

Hierzu 4 Seite(n) Zeichnungen

20

25

30

35

40

45

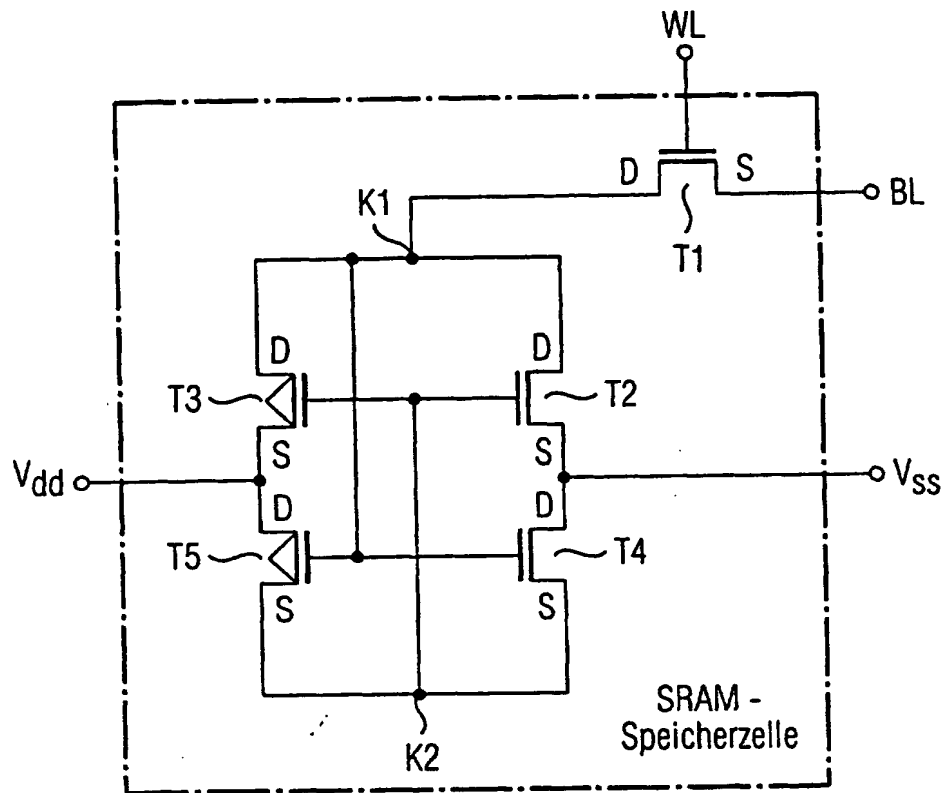
50

55

60

65

FIG 1



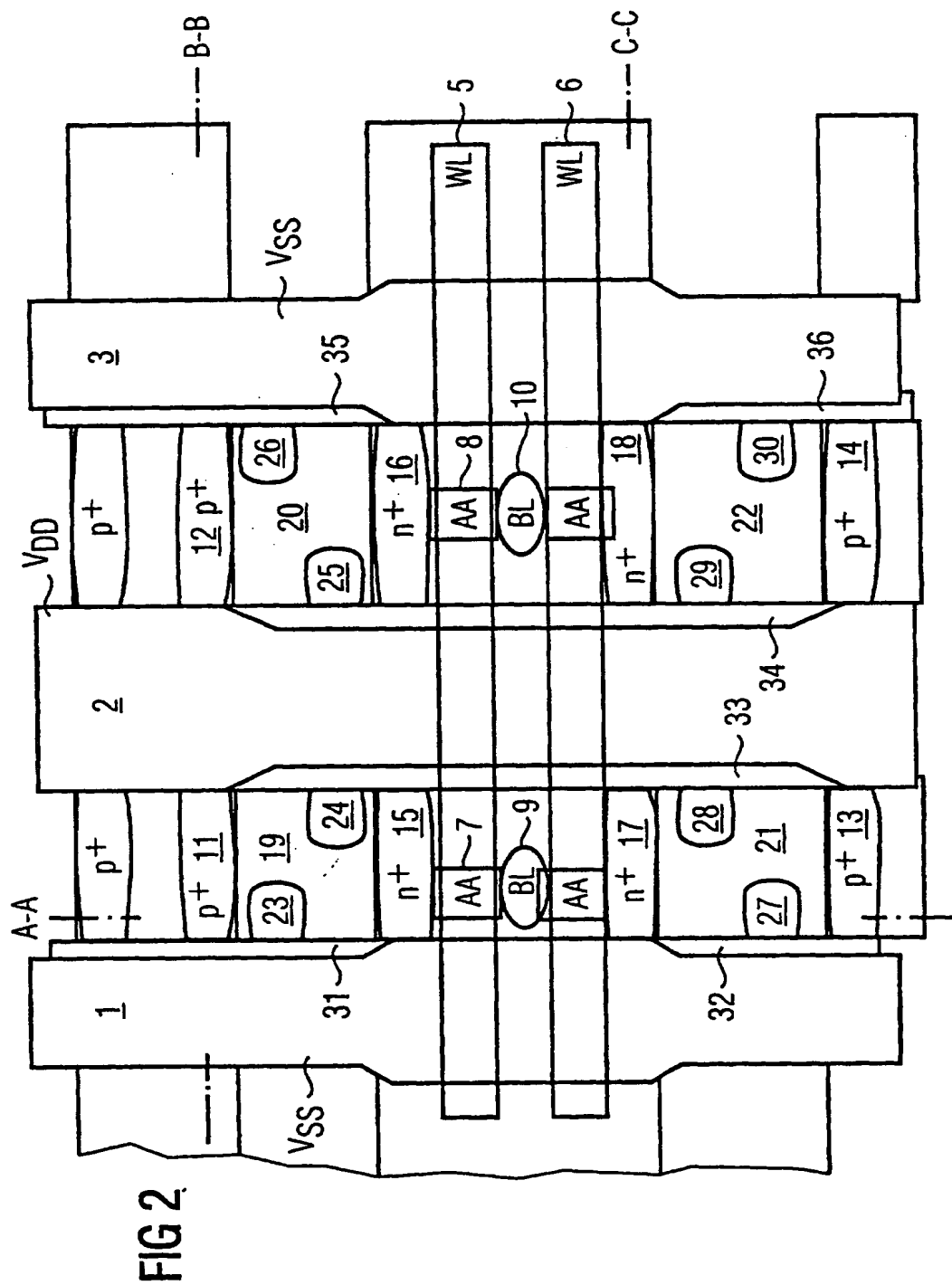
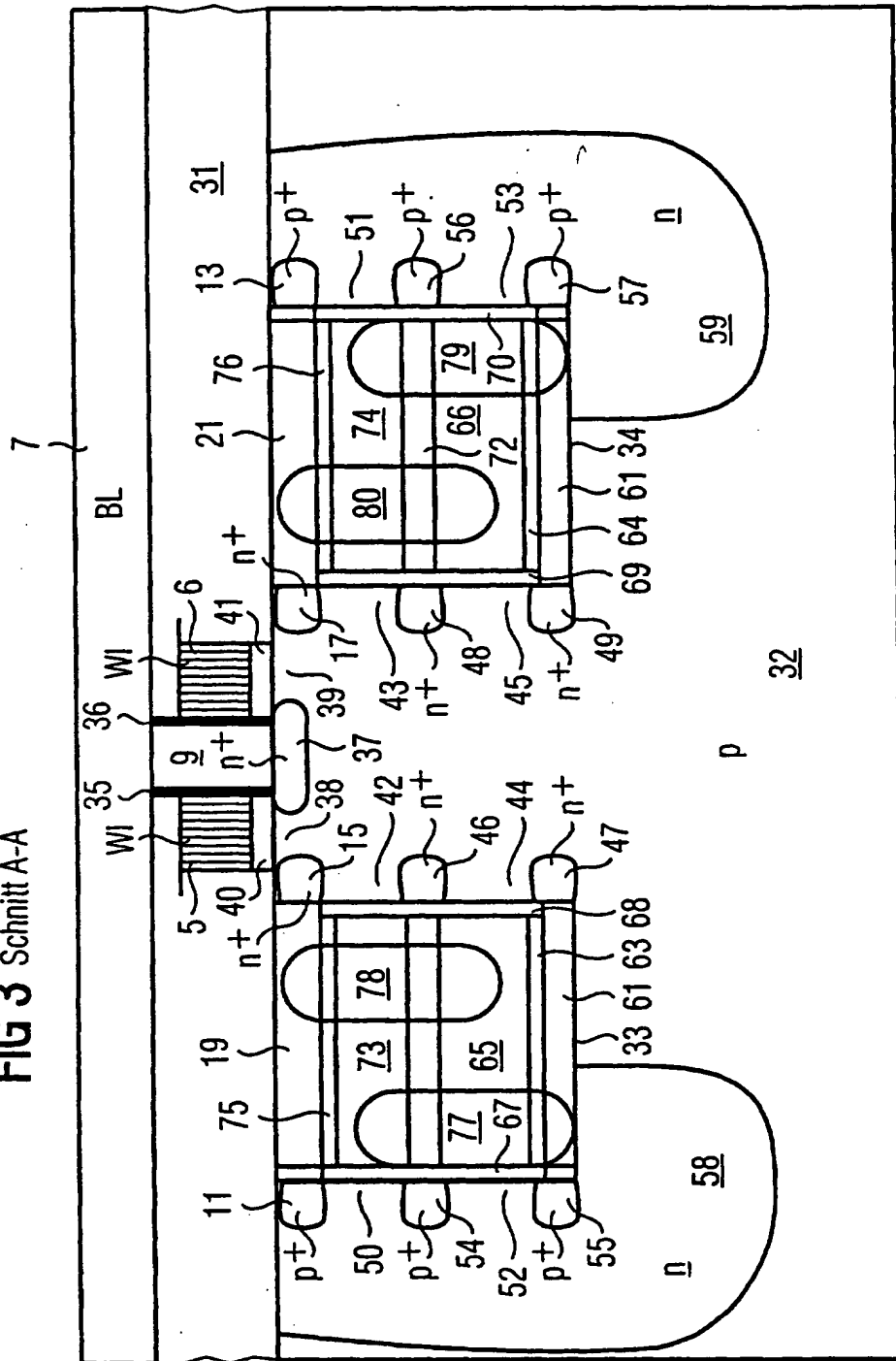


FIG 3 Schnitt A-A



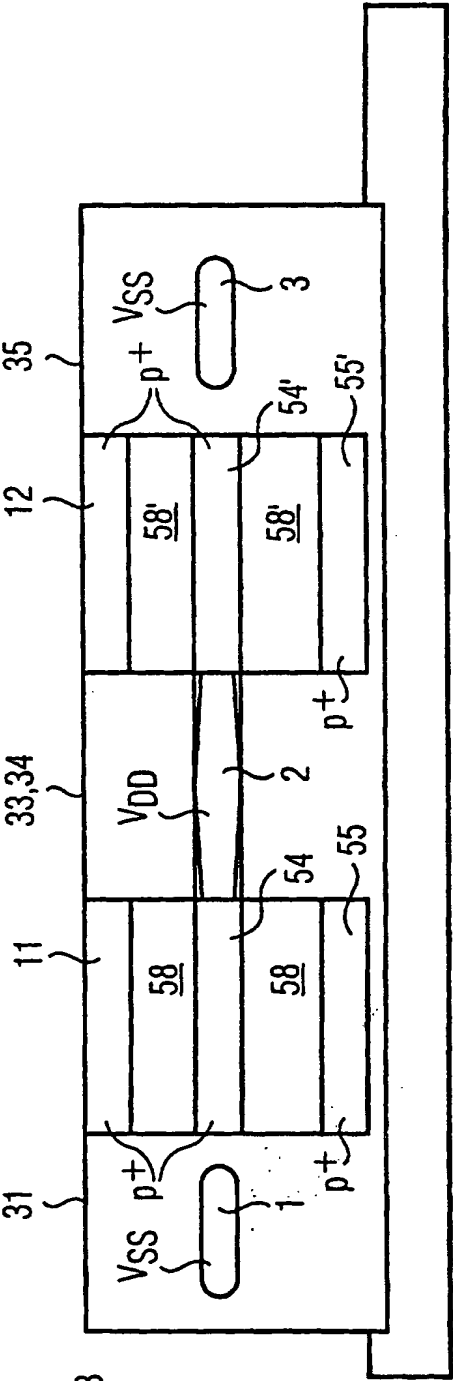


FIG 4
Schnitt B-B

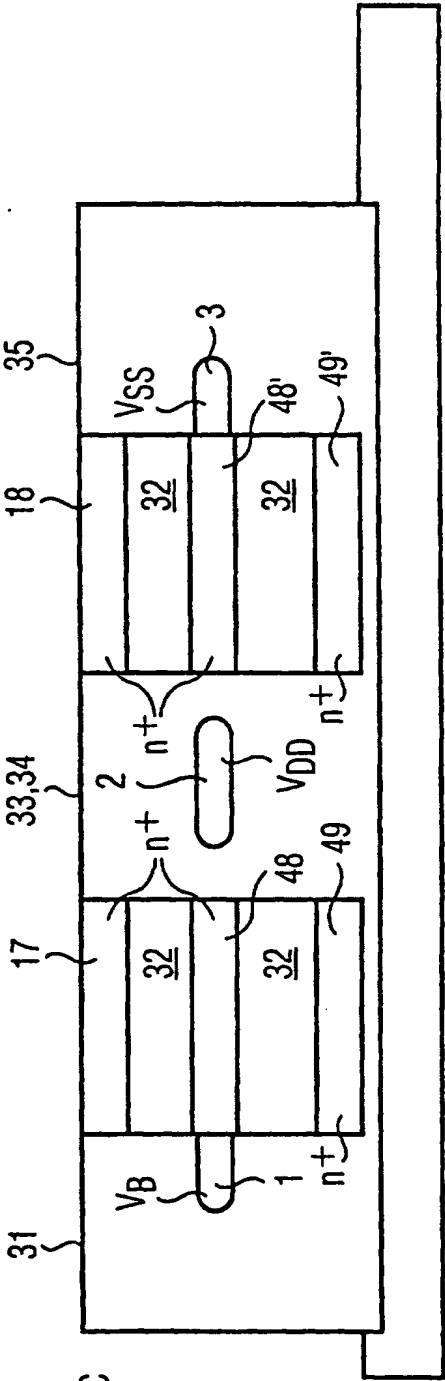


FIG 5
Schnitt C-C

No English title available.

Patent Number: DE10016444
Publication date: 2001-10-11
Inventor(s): BEER PETER (DE)
Applicant(s): INFINEON TECHNOLOGIES AG (DE)
Requested Patent: DE10016444
Application Number: DE20001016444 20000329
Priority Number(s): DE20001016444 20000329
IPC Classification: H01L27/11; G11C11/41
EC Classification: H01L27/11
Equivalents: EP1181721 (WO0173847), WO0173847

Abstract

The invention relates to an SRAM memory cell, comprising (a) a planar selection MOSFET (38; 39); (b) a first (42; 43) and a second N channel MOSFET connected in series, arranged along a sidewall of a trough (33; 34); (c) a first (50; 51) and a second (52; 53) connected P channel MOSFET, arranged along a second sidewall of the trough (33; 34) opposite the first side; (d) a first conducting layer (61, 62) arranged on the base of the trough (33; 34), for the electrical connection of the source connector region (47, 55; 49, 57) of the second N channel MOSFET (44; 45) and the second P channel MOSFET (52, 53); (e) a second conducting layer (65), which forms the gate connections for the second N channel MOSFET (44; 45) and the second P channel MOSFET (52; 53); (f) a third conducting layer (73; 74), which forms the gate connections of the first N channel MOSFET (42; 43) and the first P channel MOSFET (50; 51); (g) a fourth conducting layer (19; 21) for the electrical connection of the drain connection regions of the first N channel MOSFET (42; 43) and the second P channel MOSFET (50; 51) and (h) two contacts running perpendicular to the semi-conductor surface, whereby the first contact (77; 79) connects the first (61; 62) and third (73; 74) conducting layer to each other and the second contact (78; 79) connects the second (65; 66) and fourth (19; 21) electrical layers to each other.

Data supplied from the esp@cenet database - I2

DOCKET NO: W8B-INF-1852

SERIAL NO: _____

APPLICANT: Michael Sommer

LERNER AND GREENBERG P.A.

P.O. BOX 2480

HOLLYWOOD, FLORIDA 33022

TEL. (954) 925-1100